

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

3/5/1 (Item 1 from file: 351)
DIALOG(R) File 351: Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

009473420 **Image available**
WPI Acc No: 1993-166961/199320
XRAM Acc No: C93-074434
XRPX Acc No: N93-127865

Flash erasable programmable read-only memory mfr. for size redn. - by
forming gate oxide, floating gate members and elongated parallel
polysilicon@ word line stacks, doping, insulating, filling and patterning
Patent Assignee: INTEL CORP (ITLC); WOO B K (WOOB-I)
Inventor: ATWOOD G; LAI S K C; ONG T C; WOO B K
Number of Countries: 002 Number of Patents: 002
Patent Family:
Patent No Kind Date Applicat No Kind Date Week
US 5210047 A 19930511 US 91809282 A 19911212 199320 B
JP 5259475 A 19931008 JP 92352930 A 19921214 199345

Priority Applications (No Type Date): US 91809282 A 19911212

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 5210047	A	12		H01L-021/266	
JP 5259475	A	9		H01L-029/788	

Abstract (Basic): US 5210047 A

Prodn. comprises forming a gate oxide over the substrate and floating gates over each cell, and many elongated parallel vertical stacks (21,24,22,32,33) over the floating gates. Each stack comprises a poly-Si word line (22) insulated from the floating gate by a dielectric layer (24). Source and drain regions (20,40) are formed by implantation between the stacks, adjacent source regions are isolated from one another, sidewall insulators (48) are formed on the stacks and the spaces filled with a metal layer (23,27), which is patterned to form self-aligned contacts to source and drain, interconnects between adjacent sources, and with these interconnects extending between adjacent cells.

Pref. prodn. comprises etching trenches in the substrate and oxidising to form isolation regions, forming a gate oxide and covering it with poly-Si, interpoly dielectric, poly-Si a metal-, and an insulative-layer. Patterning and etching form the stacks, etc.

Pref. a low-resistance silicide is formed over the word lines and insulated.

USE/ADVANTAGE - A cell size redn. of 50% is obtd. c.f. prior art, selected field oxide regions need not be removed and there are no step coverage problems.

Dwg.8/11

Title Terms: FLASH; ERASE; PROGRAM; READ-ONLY; MEMORY; MANUFACTURE; SIZE; REDUCE; FORMING; GATE; OXIDE; FLOAT; GATE; MEMBER; ELONGATE; PARALLEL; POLY; SILICON; WORD; LINE; STACK; DOPE; INSULATE; FILL; PATTERN

Derwent Class: L03; U11; U12; U13; U14

International Patent Class (Main): H01L-021/266; H01L-029/788

International Patent Class (Additional): H01L-027/115; H01L-029/792

File Segment: CPI; EPI

3/5/2 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

04267775
METHOD FOR MANUFACTURE, ON SILICON SUBSTRATE, OF ELECTRICALLY PROGRAMMABLE READ-ONLY MEMORY INCLUSIVE OF ARRAY OF MEMORY CELLS

PUB. NO.: 05-259475 JP 5259475 A]
PUBLISHED: October 08, 1993 (19931008)

INVENTOR(s): BIINNYON KEI UU
GUREGORII ATOUTSUDO
SUTEFUAN KEIISHII REI
TEI SHII ON
APPLICANT(s): INTEL CORP [102610] (A Non-Japanese Company or Corporation),
US (United States of America)
APPL. NO.: 04-352930 [JP 92352930]
FILED: December 14, 1992 (19921214)
PRIORITY: 7-809,282 [US 809282-1991], US (United States of America),
December 12, 1991 (19911212)
INTL CLASS: [5] H01L-029/788; H01L-029/792; H01L-027/115
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-259475

(43)公開日 平成5年(1993)10月8日

(51)IntCl.⁵

H 0 1 L 29/788

29/792

27/115

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平4-352930

(22)出願日 平成4年(1992)12月14日

(31)優先権主張番号 8 0 9, 2 8 2

(32)優先日 1991年12月12日

(33)優先権主張国 米国 (U S)

(71)出願人 591003943

インテル・コーポレーション

アメリカ合衆国 95052 カリフォルニア

州・サンタクララ・ミッション カレッジ

ブーレバード・2200

(72)発明者 ビーシーヨン・ケイ・ウー

アメリカ合衆国 95070 カリフォルニア

州・サラトガ・ウッドワード コート・

20675

(72)発明者 グレゴリー・アトウッド

アメリカ合衆国 95125 カリフォルニア

州・サン ホゼ・マーシャ ウェイ・2495

(74)代理人 弁理士 山川 政樹

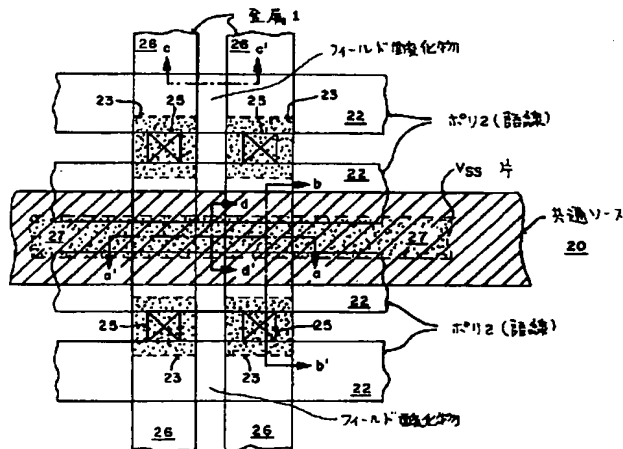
最終頁に続く

(54)【発明の名称】 メモリセルのアレイを含む電氣的にプログラム可能な読出し専用メモリ装置をシリコン基板に製造する方法

(57)【要約】

【目的】 ビット線を形成するときフィールド酸化物領域を除去しないようにする。

【構成】 シリコン基板内にくぼんだフィールド酸化物領域を形成する工程を含む、高密度の電氣的にプログラム可能な読出し専用メモリを製造する方法である。細長い平行な語線スタックを基板の表面の上に形成する。それらの垂直スタックの間の開口部にイオンを打ち込むことによりソース領域とドレイン領域を形成する。次に、それらの開口部に、ウェハーがほぼ平らになるまで金属層を充填する。次に、その金属層をパターン化してドレイン接点パッドとVss相互接続片を形成する。それらのVss相互接続片は、近接するメモリセルを絶縁するフィールド酸化物領域を横切って、近接するソース領域に接触する。



【特許請求の範囲】

【請求項1】 (a) シリコン基板の上にゲート酸化物を形成する工程と、

(b) 前記ゲート酸化物の上の各メモリセルのための浮動ゲート部材を形成する工程と、

(c) アレイ内の前記メモリセルの行のための制御ゲートとして機能して、誘電体層により前記浮動ゲート部材から絶縁されるポリシリコン語線をおのおの含む前記浮動ゲート部材の上に複数の細長い、平行な、離隔されたスタックを形成する工程と、

(d) 第1のドーパントを、前記基板の前記スタックを分離するスペース内に注入してソース領域とドレイン領域を前記基板内に形成する工程と、

(e) 前記スタックの側面に側壁絶縁層を形成する工程と、

(f) 前記スペースの中に金属層を充填する工程と、

(g) 前記金属層をパターン化して前記ソース領域と前記ドレイン領域へ自己整列させられた接点を形成し、その際、隣接するメモリセルの間に延びて隣接する共通ソース領域間を相互接続する工程と、

を備える、メモリセルのアレイを含む電氣的にプログラム可能な読出し専用メモリ装置をシリコン基板に製造する方法。

【請求項2】 基板の表面に溝をエッチングする工程と、

前記基板を選択的に酸化して前記溝の内部に、全体として前記基板表面の下側に配置される分離領域を形成する工程と、

前記基板の上にゲートを形成する工程と、

前記ゲート酸化物を第1のポリシリコン層と、ポリシリコン間誘電体と、第2のポリシリコン層とで順次覆う工程と、

前記第2のポリシリコンの上に第1の金属層を付着する工程と、

前記第1の金属層の上に絶縁層を付着する工程と、マスキング層をパターン化して細長い、平行な、離隔された開口部を形成する工程と、

前記開口部を通して前記基板まで垂直にエッチングすることにより、細長い、平行な、離隔された語線スタックを形成する工程と、

前記開口部を通して前記基板内へドーパントを入れてソース領域とドレイン領域を形成する工程と、

前記語線に沿って絶縁領域を形成する工程と、

前記基板の上に第2の金属層を付着して、その第2の金属層で前記開口部を充填する工程と、

前記第2の金属層をパターン化して前記ソース領域と前記ドレイン領域へ自己整列させられた接点を形成する工程と、

を備える電氣的にプログラム可能な読出し専用メモリ装置をシリコン基板に製造する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は浮動ゲートを用いる半導体メモリ装置およびその製造方法に関するものである。とくに、本発明は電氣的に消去可能で、かつ電氣的にプログラム可能である読出し専用メモリを製造する方法に関するものである。

【0002】

【従来の技術】 不揮発性半導体メモリ装置は電子産業において長年にわたり広く用いられてきた。それらのメモリは、二酸化シリコンのような絶縁層により浮動ゲート部材が完全に囲まれている浮動ゲート装置を採用している。通常は、浮動ゲート部材を形成するために多結晶シリコン（すなわち、ポリシリコン）層が用いられる。電子が入れ注入、チャネル注入、トンネル効果等、を含む各種の機構によって電荷が浮動ゲートへ転送される。それらの装置の動作原理に従って、浮動ゲートの上の電荷がセル内部のチャネル導電度に影響を与える。その導電度があるレベルより上であると、そのセルは1つの2進状態にプログラムされたと見なされ、導電度が別のレベルより下であると、そのセルは逆の2進状態にプログラムされたと見なされる。そのようなセルのアレイを含むメモリ装置は、従来技術においてはEPROMまたはEPROMと呼ばれている。

【0003】 フラッシュEPROMまたはフラッシュEPROMとして知られているある種の不揮発性メモリ装置は、セルの全体のアレイを同時に消去できる。すなわち、通常のEPROMまたはEEPROMとは異なって、個々のセルまたはセル群は別々には消去されない。フラッシュEEPROMが1988年5月10日に出願され、本願出願人へ譲渡された「低電圧EEPROMセル（Low Voltage EEPROM Cell）」という名称の未決の米国特許出願07/253,775に開示されている。米国特許第4,698,787号および第4,868,619号にも非対称的なソース/ドレイン輪郭を有するように製造されたEEPROM装置が開示されている。それらの各参考文献は、チャネルから浮動ゲートへの熱い電子の注入によりプログラムされ、浮動ゲートから基板へのファウラー=ノルトハイム・トンネル現象により消去される、電氣的に消去可能かつプログラム可能であるメモリ装置が開示されている。

【0004】 過去においては、EPROMセルおよびEEPROMセルはフィールド分離領域により囲まれた活性領域を最初に形成することにより製造していた。フィールド分離は比較的熱いフィールド酸化物領域により形成する。その後、それらの活性領域内に個々のメモリセルを形成する。大きいメモリセルの構造においては、細長くて、平行なソース/ドレイン領域を形成するのが普通である。それらの領域はビット線と呼ばれることもあ

3

る。それらの細長いビット線はアレイの長さを横切って延長し、それらの間に形成されているセル列に対して電気的接続を行う。それらのビット線に対して全体として垂直に複数のポリシリコン帯が延長する。それらのポリシリコン帯は語線としばしば呼ばれる。それらの各ポリシリコン語線はアレイ内の1つのセル行内の制御ゲートへ結合される。それと共に、ビット線と語線は個々のメモリセルとに対する情報の読出しおよび書込みのための手段を構成する。

【0005】従来の方法において生ずる問題の1つは、基板内に連続するソース線およびドレイン線を形成するために、フィールド酸化物の選択された部分を基板表面から除去せねばならないことである。除去されると、基板と領域のうち、ビット線を設ける部分に適切にドーピングするために通常のイオン打ち込み工程が典型的に採用される。フィールド酸化物を除去するエッチング工程中にフィールド酸化物と下側のシリコン基板の間に非常に高いエッチング選択性を要求される。基板の過大エッチングによって基板表面のその領域が損なわれる。この種の表面損傷の結果として、アレイ内で消去分布の問題が起きる。すなわち、アレイ内のあるセルが別のセルよりはるかに速く消去される。もちろん、消去性能のそのような変動は望ましくない。

【0006】メモリ・アレイの密度を高くするためにメモリセルの全体の寸法を小さくすることは有利である。従来は、セルの寸法を小さくする上での主な障害は接点とゲートの間隔に対する要求であった。過去においては、不慮の短絡から保護するために、ポリシリコン制御ゲートとドレイン接点の間には0.5ミクロンより広い間隔が求められていた。この間隔要求は全体の達成可能なセル密度を制約していた。最小接点-ゲート間隔は、従来の方法ではゲート部材の上の段状の被覆制約により限られていた。

【0007】この明細書の記載からわかるように、本発明はアレイ内部の細長い、埋め込まれたビット線を形成するときに、選択されたフィールド酸化物領域を除去する必要を無くすEPROM装置を製造する方法を開示するものである。本発明の方法は高度に自己整列する接点構造と、フィールド酸化物領域の上に導電帯を形成するために、種々の物質のうちでチタンのシリコン化合物と窒化チタンの新規な使用とにより特徴づけられる。発明者が知っているその他の従来技術には、IEDM、1982年、所載のラウ(Lau)他による「ニシリコン・チタン自己整列ソース/ドレイン+ゲート技術(Titanium Disilicide Self-Aligned Source/Drain+Gate Technology)」と題する文献がある。この技術はニシリコン・チタンの使用について述べている。半導体法における窒化チタンの形成も、マテリアル・リサーチ・ソサエティ(Material Research

4

Society) 1989年発行の、ピンチョフスキー(Pintchovski)他著「LPCD窒化チタン-付着、特性、およびULSIへの応用(LPCD Titanium Nitride-Deposition, Properties, and Application to ULSI)」にも半導体法による窒化チタン膜も形成が記載されている。マテリアル・リサーチ・ソサエティ、1989年発行の、ウェイ(Wei)他著「複合ターゲットからの窒過チタン拡散バリア膜スパッタの微細構造および電気的特性(Microstructure and Electrical Properties of Titanium Nitride Diffusion Barrier Films Sputtered from a Composite Target)」、およびマテリアル・リサーチ・ソサエティ、1989年発行、シャーマン(A. Sherman)著、「常温壁CVD反応器内の窒化チタン付着(Titanium Nitride Deposition in a Cold Wall CVD Reactor)」が含まれている。EPROMメモリセル構造用の溝自己整列分離法技術も、IEDM、1989年、583~586ページ所載の「16MB EPROM用3.6平方ミクロンメモリセル構造(A 3.6 μm^2 Memory Cell Structure for 16MB EPROMs)」と題するヒサムネ他の論文に記載されている。

【0008】

【発明が解決しようとする課題】アレイ内部の細長い埋め込まれたビット線を形成するときに、選択されたフィールド酸化物領域を除去する必要をなくすRPRMを製造する方法を提供する。

【0009】

【課題を解決するための手段】個々のメモリセルのアレイを含む電気的にプログラム可能な読出し専用メモリ装置の製造方法について説明する。本発明の方法の一実施例においては、装置の間に分離領域を形成するために、従来のくぼみフィールド酸化処理工程をまず行う。分離領域を形成した後で、シリコン基板表面にゲート酸化物を形成する。次に、第1のポリシリコン層から浮動ゲート部材を形成する。それらの浮動ゲート部材は装置内の個々のメモリセル用の記憶素子を含む。

【0010】浮動ゲート部材の形成に続いて、浮動ゲート部材の上に細長い、平行な隔離された複数の垂直スタックを形成する。それらの各スタックは重なり合った層を有する。それらの層には、浮動ゲート部材の上に形成された誘電体層と、メモリセル行のための制御ゲートとして機能する第2のポリシリコン層とが含まれる。好適な実施例においては、第2のポリシリコン語線がタングステン金属層で覆われる。このタングステン金属層の上に、スタックを後の処理工程から分離するための絶縁層

が付着される。

【0011】垂直スタックの形成には、重なり合っている層を、対応する開口部が形成されるように、基板までエッチングすることが含まれる。それらの開口部を通じて、ドーパントを基板内に注入して、装置のソース領域とドレイン領域を形成する。ドーパントの注入後に、スタックの垂直側に側壁絶縁領域を形成する。これは浮動ゲート部材とポリシリコン語線を完全に絶縁する。それからスタックの間のスペースに金属層を充填する。

【0012】スタックの間のスペースすなわち開口部を充たす金属層を次にパターン化して、ソース領域とドレイン領域に自己整列させられる接点を形成する。垂直スタックは完全に絶縁されているから、ドレイン領域とソース領域のための接点パッドは垂直スタックのトップの上を部分的に延長することを許される。これにより、悪影響なしに、後の金属化マスキング層のずれをいくらか許容できる。

【0013】ドレイン接点パッドを形成する同じパターン化工程が、隣接する共通ソース領域の相互接続も行う。このことは、ソース領域の上のスペースを充たすために用いられる同じ金属が、隣接するメモリセルの間の充たされている酸化物領域の上も延びることも意味する。これは、アレイ内にビット線を形成する時に、選択されたフィールド酸化物領域除去の必要をなくす。

【0014】

【実施例】この明細書においてはセル寸法が小さいEEPROMメモリアレイを製造する方法について説明する。以下の説明においては、本発明を完全に理解できるようにするために、ドーピングレベル、寸法、材料の種類等の数多くの特定の詳細について述べる。しかし、それらの特定の詳細なしに本発明を実施できることが当業者には明らかであろう。他の場合には、本発明を不必要にあいまいにしないようにするために、周知の処理工程は詳しくは説明しなかった。本発明のメモリセルは、標準的な金属-酸化物-半導体(MOS)処理を用いて製造する。セルを含んでいるアレイは、好適な実施例においては、nチャネル装置として製造する。周辺回路はnチャネル装置または相補MOS(CMOS)装置を採用できる。

【0015】図1には、2つの隣接するセルにより共用されている共通ソース領域15を含む従来のEEPROMメモリセルの一部の平面図が示されている。各隣接セルはドレイン領域14とドレイン接点17を含む。各セルのためのチャネル領域が、ソース領域とドレイン領域の間のポリシリコン浮動ゲート部材16と語線11の真下にある。図1にはチャネルがクロスハッチングされた領域19に示されており、ポリシリコン浮動ゲート部材16はチャネルの縁部を僅かにこえて、語線11への向きへ延長しているのが示されている。ポリシリコン浮動ゲート部材は典型的には第1のポリシリコン層から形成

される。

【0016】そのような装置の製造においては、隣接する装置の間をフィールド分離するために、製造工程の初めの方でフィールド酸化物領域13を製造する。本発明に従って、フィールド酸化物領域13の成長に直前に基板表面に浅い溝を初めにエッチングする。その後で、それらの溝にCVD酸化物またはポリシリコンを充填し、それにより装置の活性領域に横方向の短い侵食部(すなわち、短い「鳥のくちばし」)が生ずる。溝を設けることによってフィールド酸化物のより高い割合の部分を基板表面の下側に配置できるようにする。いいかえると、フィールド酸化物を成長させる領域に浅い溝をエッチングすることによって、酸化物層をシリコン表面の内部へより深くくぼませることができる。くぼんだフィールド酸化物領域により製造の残りの全工程にわたってより高い平面性を得ることができる。平らな表面は高い回路密度の達成に重要である。

【0017】フィールド酸化物領域を形成するための処理工程は、バッファ酸化物層(厚さがほぼ50オングストローム)を最初に成長させる工程と、その後の窒化物層(厚さがほぼ1000オングストローム)の形成工程とを含む。窒化物層とバッファ酸化物層を次にパターン化して、装置の活性区域を形成する。次に、露出したシリコン基板を約500~1000オングストロームの深さまでエッチングして浅い溝を形成する。それらの溝にCVD酸化物またはポリシリコンを充填して、くぼんだフィールド酸化物領域を形成する。この段階でホウ素イオンを打ち込んでp井戸領域を形成することが好ましい。イオン打ち込みは、好適な実施例においては、180KeVのエネルギーで、 5.0×10^{12} 原子/cm²のレベルで行う。

【0018】フィールド酸化およびゲート酸化物層(図3参照)の形成の後で、シリコン基板の上に第1のポリシリコン層(ポリ1)を付着する。このポリ1層をプラズマエッチングして、装置の活性領域に全体的に整列させる。次に、第2のポリシリコン層(ポリ2)から語線11を形成する。次に、第1のポリシリコン層を語線11と整列して再びエッチングし、浮動ゲートを形成する。

【0019】浮動ゲート16はチャネル領域の上で、語線11の下に形成されることに注目されたい。各浮動ゲート16は電気的に分離される。すなわち、各浮動ゲートは絶縁物(たとえば、二酸化シリコン)により完全に囲まれる。

【0020】初めの方で述べたように、図1に示す問題の1つは、共通埋め込みソース領域15を形成するためのイオン打ち込み用開口部を設けるために、フィールド酸化物を選択的に除去せねばならないことである。フィールド酸化物の除去によりアレイの性能に問題が起きることがしばしばある。更に、ポリ語線11へのドレイン

7

接点17のためのスペースを必要とすることにより、図1のアレイ内のセルの密度に制約が加えられることになる。

【0021】次に、本発明の方法により製造したアレイの一部の平面図が示されている図2を参照する。図2において、共通ソースビット線20が、特殊なメタライズされた片27によりフィールド酸化物領域の上で接続される。片27は隣接するセルのソース領域を基準動作電位（たとえば V_{ss} ）へ「ジャンプ」すなわち接続する。ここで説明する実施例においては、その片は窒化チタン（TiN）の層で形成される。もっとも、別の材料（たとえばタングステン）も使用できる。したがって、片27の使用により、ビット線20を受けるためにフィールド酸化物を除去する必要が避けられる。これについては後で詳しく説明する。

【0022】図2は、アレイを横切って1つの方向にほぼ平行に形成された語線22も示されている。それらの語線22に全体として垂直な金属線26が形成される。それらの線26はセルのドレインヘドレイン接点25を介して接触するために用いられる。本発明によれば、ドレインとゲートへの接点の間隔に対する要求がほとんどなくなっていることに注目されたい。いいかえると、対策用のスペースの必要なしに、ドレイン接点25はポリシリコン語線22のすぐ近くに形成される。この後者の特徴は窒化チタン（TiN）パッド23の使用により可能にされる。TiNパッド23は、接点とゲートの間隔に対する要求を軽くするために自己整列接触手段を提供する。好適な実施例においては、ドレイン接点25はほぼ0.5平方ミクロンであり、TiNパッド23は0.7平方ミクロンのオーダーである。図23に示すように、パッド23はポリ語線22の上に約0.2ミクロンだけ重なり合う。

【0023】次に図3を参照する。図2に示す構造を構成するために、基板30の上に上記のようにしてフィールド酸化物をまず形成する。次に、p形基板30の上にゲート酸化物を成長させる。トンネル酸化物すなわちゲート酸化物が図3に層29で示されている。チャンネル注入を行ってセルのしきい値電圧を調整する。次に、第1のポリシリコン層21をゲート酸化物の上に付着する。（図示を明確にするために、ゲート酸化物は図4～11には示されていないことに注目されたい。）前記したように、第1のポリシリコン層はアレイ中にセルの浮動ゲートを最終的に形成する。

【0024】第1のポリシリコン層が付着してからポリシリコン層間の誘電体層24を形成する。典型的には誘電体層24は、二酸化シリコンと、窒化シリコンと、二酸化シリコンを含む複合酸化物を含む。この種の複合誘電体はONOとしばしば呼ばれる。あるいは、通常二酸化シリコンを使用できる。

【0025】次に、誘電体層24の上に第2のポリシリ

8

コン層22を形成する。この層22はアレイ内に装置の制御ゲートを形成する。次に、ケイ化タングステン（WSi）の層32をポリ層22の上に付着する。ケイ化タングステン層は語線の導電度を高くするために含まれる。層32の上に低温度付着酸化物（LTO）または窒化シリコン層33を付着する。この層は層33として示されており、下側の導電層（すなわち、層22と32）を絶縁する。層32と22は一緒になってアレイ中に語線を形成する。図2において、第2のポリシリコン層（ポリ2）語線が参照番号22で全体的に示されている。残りの図4～11についての説明を簡単にするために、参照番号22は付加層32の存在を示すものと理解すべきである。

【0026】ポリ層21を付着した後で、それをエッチングして、細長くて平行な離隔された片を形成する。図3に示すスタックの形成後に、別のエッチング工程を行ってアレイ中に語線を形成する。この工程で低温度酸化物/窒化物層33、第1のポリシリコン層21、ケイ化タングステン層32、第2のポリシリコン層22、ポリシリコン層間誘電体層24をエッチングする。したがって、これは、おのおの上記層の重なったものを含む複数の別々の垂直スタックを形成する自己整列エッチングである。第1のポリシリコン層21（これは、垂直エッチング工程の後ではセルのチャンネル領域の上に限られる）を除き、エッチングされたスタックは図2に示されている語線22を含む。

【0027】図4は図2のアレイのb-b'線に沿う断面図である。図4は、垂直スタックのエッチングとイオン打ち込み工程の後のシリコン基板30を示す。明らかに示されているように、各語線スタック36は重なり合っているポリシリコン層21、22と、それらの間の誘電体層24と、ケイ化タングステン層32と、LTOすなわち窒化シリコン層33とを有する。また、上記エッチング工程に従って付着およびパターン化されたレジスト層34も示されている。エッチングが終わった後で、図4に矢印37で示すように、ひ素注入を行う。好適な実施例においては、ひ素を20～40KeVのエネルギーで $1 \sim 4 \times 10^{15}$ 原子/cm²のレベルまで打ち込む。これにより細長い、離隔されたドーブ領域39と38が基板30に形成される。

【0028】次に、図5に示すように、露出されている領域39をフォトレジスト部材43で覆う。（フォトレジスト部材34はこれが行われる前に除去されていることに注目されたい。）この点で、領域38が露出されたままである間領域39は保護される。それからイオン打ち込み工程を行う。このイオン打ち込みは異なるn形のドーパントでソース領域に対して行われる。現在、りんが20～40KeVのエネルギーで約 $2 \sim 8 \times 10^{15}$ 原子/cm²のレベルで打ち込まれている。これは図5に矢印41で示されている。イオン打ち込み37、41によ

り、本発明に従ってスタック36に自己整列させられているソース領域とドレイン領域が形成される。これによりソース領域とドレイン領域がポリシリコン層21と22に正確に整列させられる。それらの層はセルの浮動ゲートと制御ゲートを構成する。

【0029】打ち込み41に続いて、基板を高温度で酸化する。これによりポリ2ゲートに横方向に沿う比較的厚い再酸化（すなわち、「reox」）領域が形成される。好適な実施例においては、この酸化工程は約850℃で行う。この工程で生じたreoxの厚さは約500オングストロームである（ソース領域およびドレイン領域の上はもちろん、ゲートの縁部に沿って配置される）。第1のポリシリコン層21と第2のポリシリコン層の厚さはそれぞれ1000オングストロームと1500オングストロームである。ケイ化タングステン層32は約2000オングストロームの厚さに形成することが好ましく、LTOすなわち窒化物層33の厚さは1000～1500オングストロームの範囲である。層33はreox成長工程中にスタック36に酸化物が形成されることを阻止する。

【0030】フィールド酸化物領域を形成する高温酸化工程は、基板30へ以前に打ち込まれたひ素とりんのドーパントも活性化する。したがって、図6に示すようにソース領域20とドレイン領域40が形成される。ソース領域20はドレイン領域40と比較して深く示されている。その理由は、りんドーパントの方がひ素よりも速くシリコン中へ拡散するからである。したがって、それらの領域は本質的に深い。りんドーパントは浅いドレイン領域40に対して一層段階的な接合を生ずる。すなわち、ソース領域に付随するドーパントの傾きはドレイン領域におけるそれよりも一層ゆるやかである。りんの拡散度が比較的高いために、ソース領域20と浮動ゲート21の間の重なり合いは大きい。この重なり合いは、電子が浮動ゲート21から、重なり合っている薄いゲート酸化物を通してソース領域21まで、トンネル効果で移動する消去動作中に有用である。

【0031】高温酸化の後で、スタック36の側壁部に沿ってスペーサ酸化物すなわち窒化物領域48が形成される。スペーサ酸化物領域48は金属とポリシリコン層21または22の間で短絡が起こることを阻止する。領域48は周知のTEOS法または窒化物法に従って約500オングストロームの厚さに形成する。スペーサエッチングの後で、ポリ・スタックのチップ上のLTOすなわち窒化物は、約500オングストローム以上が残っていることが好ましい。

【0032】スペーサ酸化物領域48を形成したら、ウェハー表面へチタンをスパッタする。チタンのスパッタの前に、ソースとドレインの両方の領域に残っている酸化物を除去するための処理を行う。次のアニール工程でソース領域20とドレイン領域40にケイ化チタン（T

Si₂）が形成される。ケイ化チタンの領域が図6にクロスハッチングされた領域42により示されている。スパッタ工程の前は、シリコン基板の露出部分だけがソース領域とドレイン領域である。このことは、ケイ化チタンがそれらの領域のみに形成されることを意味する。残りの部分においては、スパッタされたチタンまたは窒化チタンを、化学エッチング剤に浸すことにより基板表面から除去する。もちろん、その処理では、ケイ化チタンが形成されていない部分、すなわち、ソースとドレインの接触領域以外のどこでも、のチタンを除去するだけである。

【0033】次に図7を参照して、ケイ化チタン領域42の形成後に、ウェハー表面へ窒化チタンを付着する。この窒化チタンの付着により、スタック36の間のソース領域とドレイン領域に対する接点開口部を構成する各間隔（好適な実施例では約0.4～0.5ミクロン幅）を充填する。窒化チタン層の厚さは、層33の上面の上約2000～3000オングストロームまで延びる。次にその窒化チタン層をパターン化し、エッチングしてドレイン接点23とVss片27を形成する。あるいは、タングステン層に続いて窒化チタンの接着層を利用できる。

【0034】窒化チタンは、LPCVDとして知られている化学的蒸着技術を用いて付着することが好ましい。パッド23および片27を形成するための窒化チタン層のエッチングはドライ・エッチング技術またはウェット・エッチング技術を用いて行うことができる。パッド23と片27を形成したら、基板表面はほぼ平らである（図8参照）。

【0035】窒化チタン層の付着とパターン化の後で、ホウ素-りん-シリコン-ガラス（BPSG）49を、従来のLPCVD法を用いて、基板表面に形成する。標準のフォトリソグラフィック・マスキング工程を用いて接点ドレイン開口部25を形成し、それから第1の金属層26を付着し、パターン化して集積回路のための相互接続ネットワークを形成する。一例として、図2は、ドレイン接点25へ接続されている一対の第1の金属トレースを示す。

【0036】単一マスキング工程によりパッド23と片27を形成すると、従来技術よりもかなり有利であることを理解すべきである。たとえば、窒化チタン・パッド23は下側のドレイン領域40へ自己整列接点を提供する。ドレイン接点開口部25はパッド23の上面のどこにでも配置できることに注目されたい。ある場合には、装置の性能を低下させることなしに、開口部25を隣接するLDTすなわち窒化物領域33の上に重ね合わせることもできる。このようにして、パッド23をもちいることによって本発明の方法を接点マスクの位置合わせのくりに対して高い許容度が与えられる。

【0037】更に、従来の方法の段の高さカバー範囲問

題も、窒化チタンパッド23と片27の形成によって基板表面が非常に平らになるから、本発明の方法ではもはや要因ではない。パッド23を用いることにより、ドレイン接点—ゲート間隔の制約が解消されているから、セルの寸法も非常に小さくなる。結局、本発明により、従来のEEPROMセルの構造よりセルの寸法を50%減少できた。

【0038】セル寸法の減少は、下側のフィールド酸化物領域50を横切る隣接するソース領域20の間を接続するVss片27の使用により支援される。本発明のこの面を図8に示す。図8は、窒化チタン領域23と27のパターン化の後で、BPSG層49の付着直前の基板の斜視図である。実際にVss片27は隣接する拡散共通ソース領域20の間の「ジャンパされた」電気的接続を行う。本発明によって、共通ビット線がジャンパされた接続により実現されることを理解すべきである。しかし、ビット線自体は、従来技術とは異なって、完全に「埋め込まれる」ことはないことに注目されたい。個々のセルに関連する表面拡散だけが基板内に「埋め込まれ」、ソースの間の接続はVss片27を用いて達成される。

【0039】また、窒化チタンを、タングステン、チタン、その他のチタン化合物で置換できることにも注目されたい。重要な要求は、パッドと片の金属が、語線ポリシリコン・スタックの間の接点スペースを充填する一致付着を行うことである。更に、別の実施例においては、チタン層をより厚くし、パターン化して、メタライズ層26の必要をなくす相互接続系を提供することができる。

【0040】図9は図2のA-A'線に沿うメモリアレイの断面図を示す。この図は窒化チタン片27を介する共通ソース領域20のジャンパ接続を示す。アレイ内では、個々のセルに関連するソース領域がフィールド酸化物領域50により完全に囲まれている。ソース領域20は窒化チタン片27を介して相互に接続され、窒化チタン片27はケイ化チタン接点42を介してソース拡散部へ結合される。このようにして、共通ソース・ビット線領域20を、EEPROMアレイ内の単一の列線として形成できる。

【0041】図10は図2のメモリ装置のC-C'線に沿う断面図である。この図は、ポリシリコン層22と、ケイ化タングステン層32と、LTO/窒化物層33を含むポリシリコン語線に沿って横方向にとったものである。層33はBPSG層49により覆われ、金属1導体26が続く。語線22はフィールド酸化物領域50を横断して、EEPROMセルの行内の全てのセルの制御ゲートへ接続する。個々のセルの浮動ゲートは、メモリセルのチャネル領域の上に限られている第1のポリシリコン層21により形成される。

【0042】図11は図2のEEPROMのD-D'線

に沿う断面図である。この図は、隣接する語線22に沿って平行に延長しているVss片27を示す。この図からわかるように、窒化チタン片27は、側壁酸化物領域48によりアレイの語線（ポリシリコン層22とケイ化タングステン層32で構成されている）から絶縁される。窒化チタン片27は、貫通開口部が形成される場以外のどこでも、BPSG49により上方も絶縁される。それらの貫通開口部は、後で付着される金属相互接続層へ電気的に接続させる手段を提供する。

10 【図面の簡単な説明】

【図1】従来のアレイで生ずる問題を示すために用いられる従来のメモリ・アレイの部分平面図である。

【図2】本発明に従って製造されたアレイの一部の部分平面図である。

【図3】順次形成された層のスタックが基板表面の上に付着された後の横断面図である。それらの層はポリシリコンの第1の層と、ポリシリコンの間の誘電体層と、ポリシリコンの第2の層と、ケイ化タングステンの層と、二酸化シリコンあるいは窒化シリコン層とを含む。この製造法は本発明の好適な実施例によるものである。

【図4】ソース領域とドレイン領域を形成するスタックされた層の選択的エッチングおよびイオン打ち込み工程の後の図3に示されている基板を示す。

【図5】ソース領域への付加イオン打ち込み工程の後の図4に示されている基板を示す。

【図6】側壁酸化物領域およびチタンのケイ化物のソース/ドレイン接点の形成の後の図5の基板を示す。

【図7】チタンのケイ化物のパッドおよびストラップの形成の後の図6の基板を示す。アレイのための第1の金属化層も示されている。

【図8】フィールド酸化物領域の相対的な場所を示す図7の基板の斜視図である。

【図9】図2のA-A'線に沿う図2の基板の横断面図である。

【図10】図2のC-C'線に沿う図2の基板の横断面図である。

【図11】図2のD-D'線に沿う図2の基板の横断面図である。

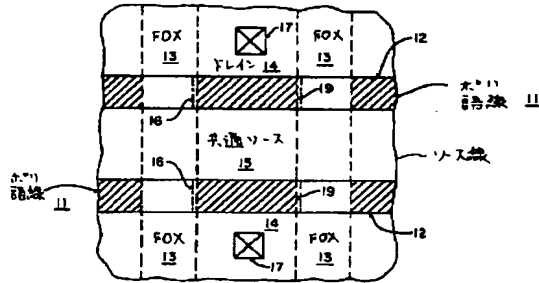
【符号の説明】

- 20 ビット線
- 21 ポリシリコン層
- 22 語線
- 23 パッド
- 24 誘電体層
- 25 ドレイン接点
- 26 金属線
- 27 金属化された片
- 30 基板
- 32 ケイ化タングステン層
- 33 窒化タングステン層

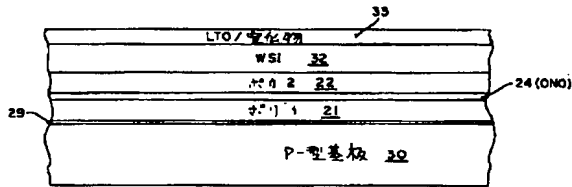
13

- 36 スタック
40 ドレイン領域
42 チタンのシリコン化合物層

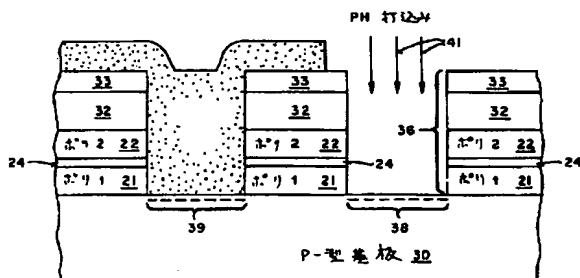
【図1】



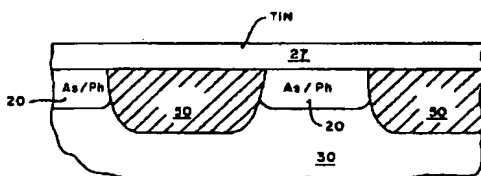
【図3】



【図5】



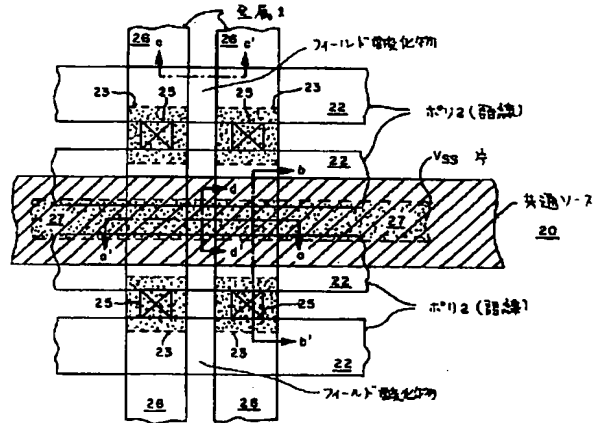
【図9】



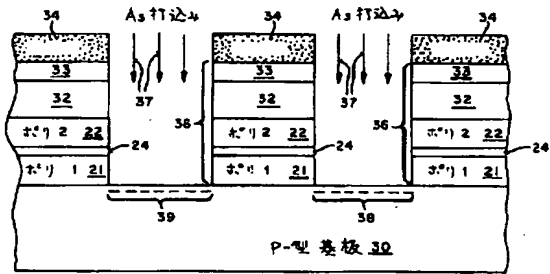
14

- 48 窒化領域
49 ホウ素-りん-シリコン-ガラス層
50 酸化領域

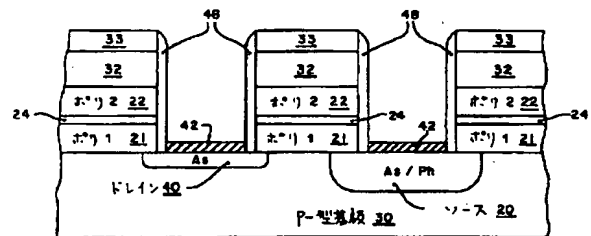
【図2】



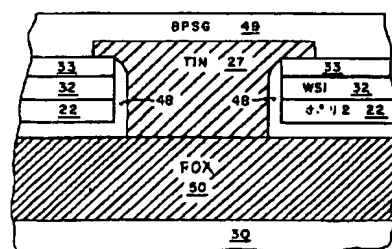
【図4】



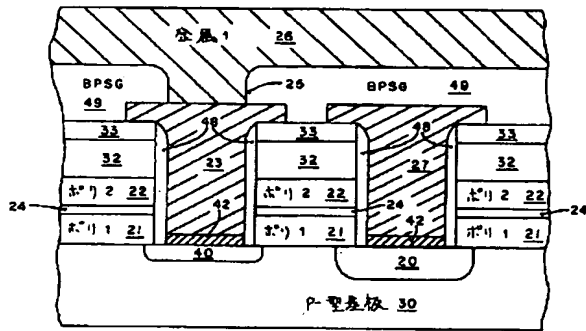
【図6】



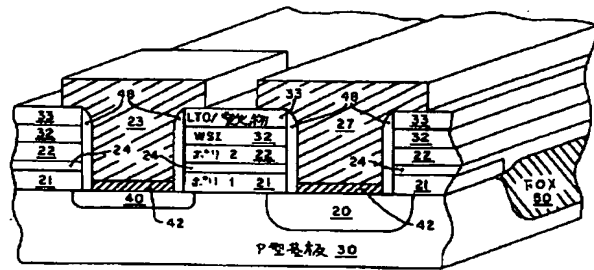
【図11】



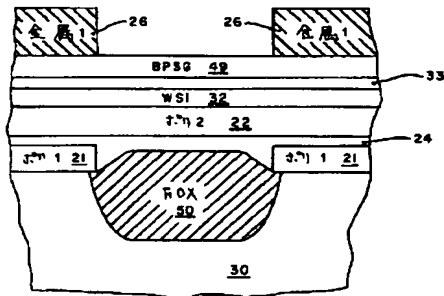
【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 ステファン・ケイ・シー・レイ
アメリカ合衆国 94002 カリフォルニア
州・ベルモント・リンカーン アヴェニ
ユ・2613

(72)発明者 ティ・シー・オン
アメリカ合衆国 95132 カリフォルニア
州・サン ホゼ・メイアル コート・1820